

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 10 日
Application Date

申請案號：092118810
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 17 日
Issue Date

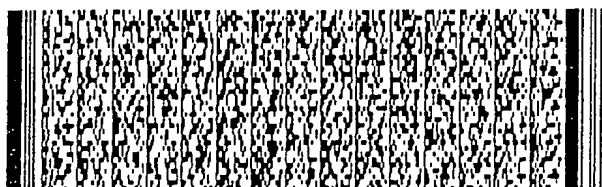
發文字號：09220937380
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	晶圓測試方法
	英 文	WAFER TEST METHOD
二、 發明人 (共1人)	姓 名 (中文)	1. 普翰屏
	姓 名 (英文)	1. Han-Ping PU
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣永和中正路649號10樓之1
	住居所 (英 文)	1. 10F-1, No. 649, Chung-zheng Rd., Yonghe, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 矽品精密工業股份有限公司
	名稱或 姓 名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



1736049.prd

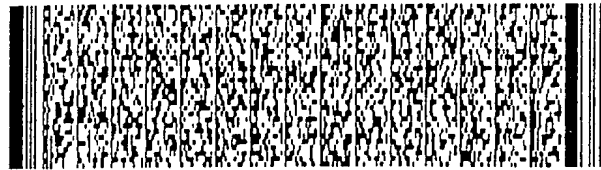
四、中文發明摘要 (發明名稱：晶圓測試方法)

一種晶圓測試方法，係於待測晶圓製備完成後而未於其上形成凸塊前，先將一面具有測試墊而另一面植有測試凸塊的導電墊片接置於該待測晶圓之晶片作用表面上，以使導電墊片的測試凸塊與佈設於晶片作用表面上的鐸墊觸接而成電性連接關係，然後再使測試探針與導電墊片的測試墊觸接，由於測試墊與測試凸塊電性連接，故以測試探針觸及測試墊即可對各組成晶圓之晶片進行電性測試。此種晶圓測試方法之優點在待測晶圓未植有凸塊前進行，故不會產生利用習知先形成凸塊再進行測試的技術而易因測試探針觸碰凸塊造成凸塊受損的問題；同時，利用接置於晶圓上的導電墊片以使測試探針觸接導電墊片之測試墊而進行晶圓測試，故測試探針不會直接接觸晶圓上的鐸墊，因而不會導致鐸墊受損。

本案代表圖：第 1D圖

六、英文發明摘要 (發明名稱：WAFER TEST METHOD)

A wafer test method is provided, before forming bumps on a fabricated wafer sought to be tested which is integrally formed of a plurality of chips, preparing a conductive jig which has a plurality of test pads formed on one side thereof and a plurality of test bumps formed on the other side thereof and electrically connected with the test pads, and placing the conductive jig on the

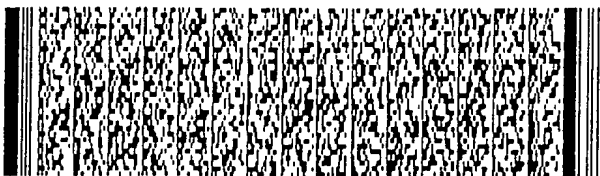


四、中文發明摘要 (發明名稱：晶圓測試方法)

- 1 晶圓
- 10 晶片
- 11 作用表面
- 13 鐸墊
- 2 測試探針
- 3 導電墊片
- 31 第一表面
- 33 測試墊
- 34 測試凸塊

六、英文發明摘要 (發明名稱：WAFER TEST METHOD)

wafer in a manner that the test bumps are in electrical contact with bond pads formed on an active surface of at least one chip of the wafer, so as to allow test probes to touch the test pads and perform the test for the chip. This wafer test method is advantageously implemented before forming the bumps on the wafer, thereby not having the prior-art drawback that the bumps are directly



四、中文發明摘要 (發明名稱：晶圓測試方法)

六、英文發明摘要 (發明名稱：WAFER TEST METHOD)

touched by the test probes and thus damaged. Moreover, the use of the conductive jig placed on the wafer allows the test probes not to directly come into contact with the bond pads on the chip, thereby preventing the bond pads from being damaged by the test probes.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

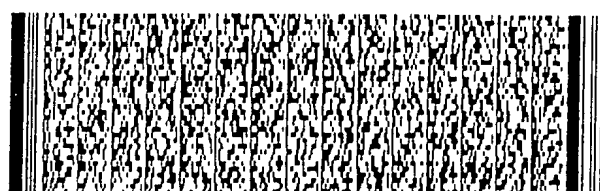
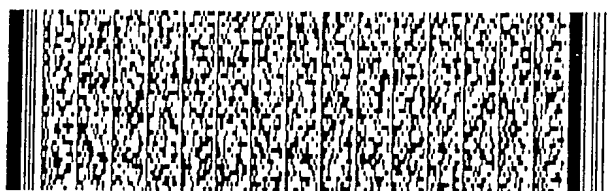
【發明所屬之技術領域】

本發明係有關一種晶圓測試方法，尤指一種在晶圓上形成凸塊 (bump) 前進行之晶圓測試方法。

【先前技術】

半導體封裝件係一種用以承載至少一積體電路元件例如半導體晶片且通常利用封裝樹脂包覆並保護晶片的結構，其往往利用一晶片承載件 (chip carrier，如基板、導線架等) 以使晶片接置於該晶片承載件上且與晶片承載件成電性連接關係。一種習用之電性連接方式係藉具導電性之鐳線 (如金線) 使晶片之作用表面與晶片承載件相連接而達成，且該鐳線一併與晶片以封裝樹脂包覆。惟鐳線具有預定的長度及線弧高度，因而佔據晶片承載件上一定程度的面積，且以封裝樹脂製成的封裝膠體需對應地具有大於線弧高度的厚度，才能完全包覆鐳線以避免其暴露於外界而影響其電性功能，故使封裝件的尺寸難以縮小。鑑此，遂發展出一種稱為覆晶 (flip-chip) 式型態的封裝結構，其特點在於晶片之作用表面上預先形成有多數供電性連接之用的凸塊 (bump)，而使晶片藉其凸塊接置於該晶片承載件上並與晶片承載件成電性連接關係。由於凸塊的使用並非如鐳線有長度及高度上的考量，故覆晶式結構得大有效降低整體封裝件之尺寸。

用於覆晶式結構的晶片製程，通常為晶圓 (由多數晶片構成) 製備完成後，即進行凸塊形成 (bumping) 作業例如習知網印 (screen printing) 技術以於晶圓之晶片作用表



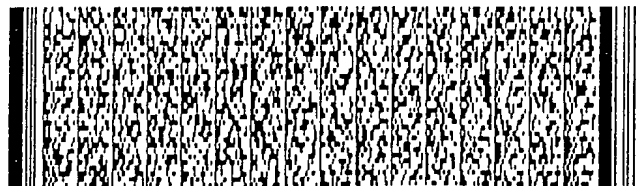
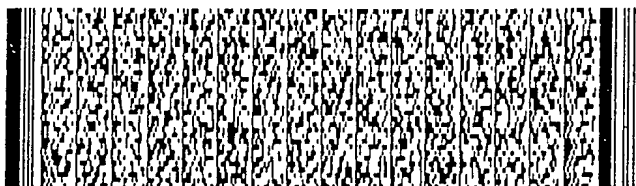
五、發明說明 (2)

面上的鐳墊 (bond pad) 敷設錫鉛合金，再經回鐳 (reflow) 作業後，使錫鉛合金形成凸塊。惟晶圓的各晶片需歷經電性或電路測試，以檢測各晶片之品質好壞及功能是否完整，俾挑出並摒除劣質或功能不全的晶片，而於晶圓切單 (singulation) 以分離各晶片後，僅使通過測試之晶片良品進行後續封裝 (packaging) 製程。

上述電性或電路測試可於凸塊形成之前或之後進行，前者如第 6A 及 6B 圖所示，於第 6A 圖中，測試探針 (test probe) 2 係直接與晶圓 1 上的鐳墊 13 觸接以進行測試，於第 6B 圖中，待測試後再於鐳墊 13 上形成凸塊底部金屬化 (UBM, under bump metallurgy) 結構 15 以供後續之凸塊 14 能連接至鐳墊 13 上。然此種測試方法會於鐳墊 13 上留下探針痕 (第 6A 圖) 而使鐳墊 13 受損，或造成 UBM 結構 15 的凹陷 (第 6B 圖)。呈凹陷的 UBM 結構與凸塊 14 連接時，該凹陷處會殘留空氣而形成氣洞 (void)，故於後續高溫製程中易產生氣爆 (popcorn) 現象而影響製成品的信賴性。

因此，目前較常用者為待晶圓上形成凸塊後再進行測試的方式，如第 6C 圖所示，使測試探針 2 直接觸碰晶圓 1 上的凸塊 14 以對各晶片 10 進行電性或電路測試。然此種測試方法易造成凸塊受損，而影響後續晶片封裝的良率。

另，美國專利第 6,429,532 號案揭露一種特殊的鐳墊設計，以於晶圓上形成多數測試用鐳墊，使其與植有凸塊的鐳墊電性連接，而令測試探針與該測試用鐳墊觸接以進行測試；惟此種測試用鐳墊之佈設需佔據額外晶圓上的面



五、發明說明 (3)

積，實不利於晶片尺寸縮小的考量。

又，美國專利第 5,661,042 號案揭露一種使用異向性導電膜 (ACF, anisotropic conductive film) 作為電性導通晶圓與測試探針間的媒介，以導通晶圓與測試探針間的電流而進行測試；惟此種技術之缺點在於該異向性導電膜之導電電阻頗高，故無法供電性測試之用而僅能用於導通電流，且異向性導電膜的接觸壽命短 (約 50 次) 而無法重複使用以及其製造成本極高，故此法會大幅增加製程成本，實不利於經濟成本效益。

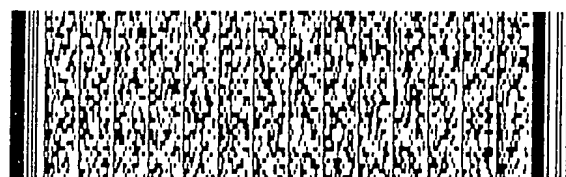
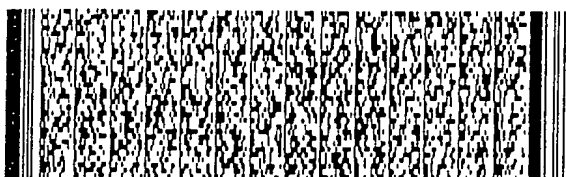
有鑑於此，如何提供一種晶圓測試方法，能於晶圓上形成凸塊前進行，且不會損害晶圓上的鐳墊，亦不會增加製程成本，實為一重要課題。

【發明內容】

本發明之一目的在於提供一種晶圓測試方法，係於待測晶圓上形成凸塊 (bump) 之前，接置一導電墊片於該晶圓上，以使測試探針與該導電墊片觸接而進行對該晶圓的電性測試。

本發明之另一目的在於提供一種晶圓測試方法，於待測晶圓上形成凸塊之前進行，利用一接置於該晶圓上的導電墊片進行晶圓測試，而不會對晶圓上的鐳墊造成損傷。

本發明之又一目的在於提供一種晶圓測試方法，於待測晶圓上形成凸塊之前進行，利用成本低且能重複使用的導電墊片以供對晶圓進行測試之用，而無需使用較昂貴的異向性導電膜 (ACF, anisotropic conductive film)，故

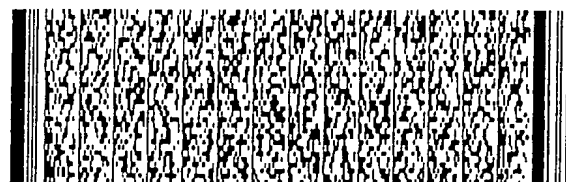
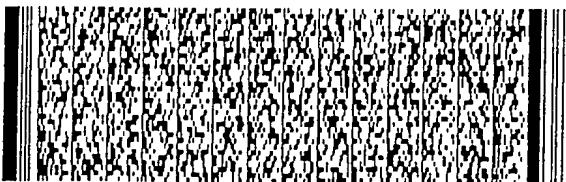


五、發明說明 (4)

能降低製程成本。

為達成上揭及其他目的，本發明揭露一種晶圓測試方法，包括下列步驟：提供一晶圓，由多數晶片構成，各該晶片具有一作用表面及一相對之非作用表面，且該作用表面上形成有多數鐳墊；製備一導電墊片，該導電墊片具有一第一表面及一相對之第二表面，其中，該第一表面上形成有多數測試墊，而該第二表面上形成有多數與該測試墊電性連接之測試凸塊，且該測試凸塊與該晶片上之鐳墊相對應，以使該導電墊片藉其測試凸塊與鐳墊觸接的方式接置於該晶圓上並與該晶片成電性連接關係；以及使測試探針與該導電墊片之測試墊觸接的方式進行對該晶圓之晶片的電性測試。

因此，利用本發明之晶圓測試方法，係於待測晶圓製備完成後而未於其上形成凸塊前，先將一面具具有測試墊而另一面植有測試凸塊的導電墊片接置於該待測晶圓之晶片作用表面上，以使導電墊片的測試凸塊與佈設於晶片作用表面上的鐳墊觸接而成電性連接關係，然後再使測試探針與導電墊片的測試墊觸接，由於測試墊與測試凸塊電性連接，故以測試探針觸及測試墊即可對各組成晶圓之晶片進行電性測試。此種晶圓測試方法之優點在待測晶圓未植有凸塊前進行，故不會產生利用習知先形成凸塊再進行測試的技術而易因測試探針觸碰凸塊造成凸塊受損的問題；同時，利用接置於晶圓上的導電墊片以使測試探針觸接導電墊片之測試墊而進行晶圓測試，故測試探針不會直接接觸



五、發明說明 (5)

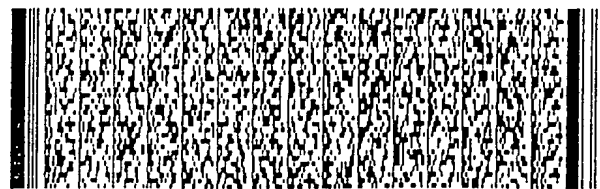
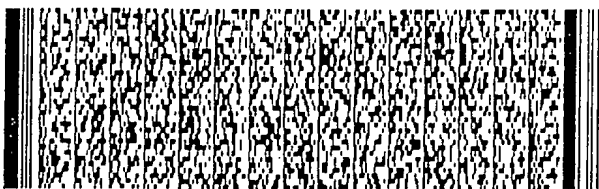
晶圓上的鐳墊，因而不會導致鐳墊受損。再者，相較於習知測試探針直接觸及晶圓上的鐳墊而言，本發明之導電墊片上的測試凸塊與晶圓上鐳墊間的接觸較溫和且接觸面積較大，故使晶圓測試能較精確地進行而減少誤測情形產生。此外，相較於習知使用昂貴、高導電電阻且接觸壽命短的異向性導電膜 (ACF, anisotropic conductive film)，本發明之導電墊片的製造成本較低且能重複使用，故能大幅降低整體製程成本。

【實施方式】

以下係藉由特定的具體實例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

本發明之晶圓測試方法，如第 1A 圖所示，首先製備一由多數晶片 10 構成之晶圓 (wafer) 1，各晶片 10 具有一作用表面 11 及一相對之非作用表面 12，且該作用表面 11 上形成有多數鐳墊 13。該晶圓 1 之製程係屬習知技術，故於此不予贅述。

然後，如第 1B 圖所示，將一導電墊片 3 接置於晶圓 1 上，並使該導電墊片 3 與晶片 10 成電性連接關係。導電墊片 3 具有一第一表面 31 及一相對之第二表面 32，該第一表面 31 上形成有多數測試墊 (test pad) 33，而該第二表面 32



五、發明說明 (6)

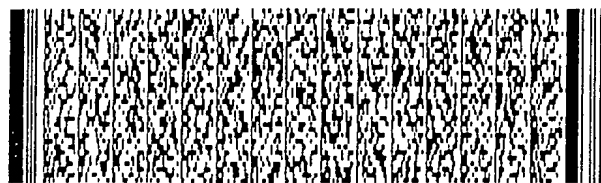
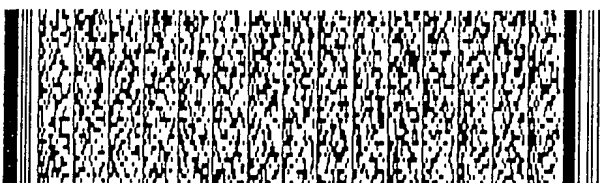
上形成有多數與測試墊 33 電性連接之測試凸塊 (test bump) 34，其中，測試凸塊 34 與至少一晶片 10 上的鐳墊 13 相對應，以使導電墊片 3 藉其測試凸塊 34 與鐳墊 13 觸接的方式接置於晶圓 1 上並與晶片 10 成電性連接關係。

如第 1C 圖所示，導電墊片 3 可由多數分別對應至各晶片 10 之墊片單元 30 構成，並藉一支撐架 4 支持導電墊片 3 之邊緣，而該支撐架 4 可與晶圓 (未圖示) 觸接以定位導電墊片 3 於晶圓上。

最後，如第 1D 圖所示，完成上述之導電墊片 3 與晶片 10 間之電性連接後，即可對晶片 10 進行測試，係將測試探針 (test probe) 2 觸接至該導電墊片 3 之第一表面 31 上的測試墊 33，由於該測試墊 33 藉測試凸塊 34 與各晶片 10 之作用表面 11 上的鐳墊 13 電性連接，故以測試探針 2 觸及測試墊 33 即能進行對各鐳墊 13 的電性測試，以檢測各晶片 10 之品質好壞及功能是否完整，俾挑出並摒除劣質或功能不全的晶片，而僅使通過測試之晶片良品進行後續製程。

上述導電墊片 3 得以第 2A 至 2D 圖所示之製程步驟製成。

如第 2A 圖所示，先製備一芯層 35，該芯層 35 係一薄膜或以有機材料製成之基板，該有機材料可為環氧樹脂 (epoxy resin)、聚醯亞胺 (polyimide) 樹脂、BT (bismaleimide triazine) 樹脂或 FR4 樹脂。芯層 35 之第一表面 350 及第二表面 351 上可預先敷設有薄銅箔 (copper foil，未圖示)。



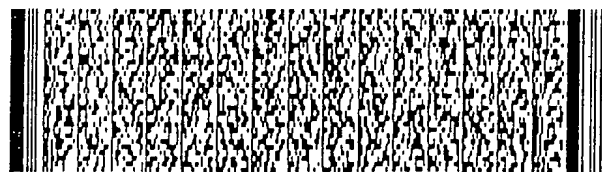
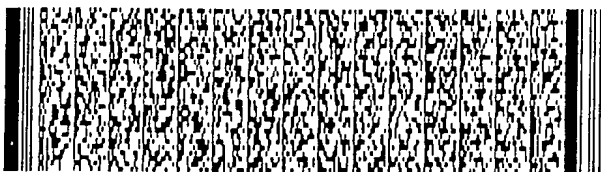
五、發明說明 (7)

接者，開設多數貫穿芯層 35 的開孔 36，再依序進行習知無電鍍覆 (electroless plating) 及電解電鍍 (electrolytic plating) 步驟於芯層 35 第一表面 350 與第二表面 351 上及開孔 36 壁面上鍍有一銅層 37，而使鍍有銅層 37 之開孔 36 形成導電貫孔 36 (以相同於開孔 36 之標號示之)。其中，芯層 35 之第一表面 350 即後續成為上述之導電墊片 3 的第一表面 31，而芯層 35 之第二表面 351 則後續成為導電墊片 3 的第二表面 32。

如第 2B 圖所示，進行習知圖案化 (patterning) 作業，以使芯層 35 之第一與第二表面 350、351 上的銅層 37 歷經曝光 (exposing)、顯影 (developing) 等製程而形成多數導電跡線 38，並使該第一與第二表面 350、351 上的導電跡線 38 彼此藉貫穿芯層 35 之導電貫孔 36 互相電性連接。

然後，如第 2C 圖所示，於芯層 35 之第一表面 350 及第二表面 351 的導電跡線 38 上分別敷設拒銲劑 (solder mask) 39，例如阻劑乾膜 (resist dry film) 等，並開設多數貫穿該拒銲劑 39 之開口 390，以使芯層 35 之第一與第二表面 350、351 上的導電跡線 38 的預定部位藉該開口 390 露出，其中，第一表面 350 上導電跡線 38 的露出部位形成多數測試墊 33，而第二表面 351 上的導電跡線 38 的露出部位則後續用以植設測試凸塊 (未圖示)。

最後，如第 2D 圖所示，於上述芯層 35 第二表面 351 上的導電跡線 38 的露出部位上形成多數測試凸塊 34，例如金質凸塊 (gold bump) 等，以使該測試凸塊 34 藉對應之導電

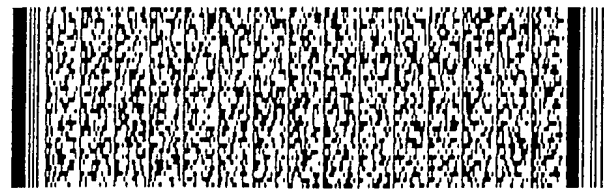
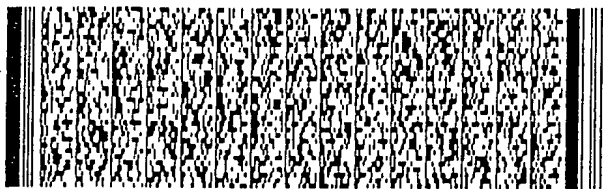


五、發明說明 (8)

跡線 38 與導電貫孔 36 與測試墊 33 成電性連接關係。

因此，利用本發明之晶圓測試方法，係於待測晶圓製備完成後而未於其上形成凸塊前，先將一面具有測試墊而另一面植有測試凸塊的導電墊片接置於該待測晶圓之晶片作用表面上，以使導電墊片的測試凸塊與佈設於晶片作用表面上的鐳墊觸接而成電性連接關係，然後再使測試探針與導電墊片的測試墊觸接，由於測試墊與測試凸塊電性連接，故以測試探針觸及測試墊即可對各組成晶圓之晶片進行電性測試。此種晶圓測試方法之優點在待測晶圓未植有凸塊前進行，故不會產生利用習知先形成凸塊再進行測試的技術而易因測試探針觸碰凸塊造成凸塊受損的問題；同時，利用接置於晶圓上的導電墊片以使測試探針觸接導電墊片之測試墊而進行晶圓測試，故測試探針不會直接接觸晶圓上的鐳墊，因而不會導致鐳墊受損。再者，相較於習知測試探針直接觸及晶圓上鐳墊的技術而言，本發明之導電墊片上的測試凸塊與晶圓上鐳墊間的接觸較溫和且接觸面積較大，故使晶圓測試能較精確地進行而減少誤測情形產生。此外，相較於習知使用昂貴、高導電電阻且接觸壽命短的異向性導電膜 (ACF, anisotropic conductive film) 的技術而言，本發明之導電墊片的製造成本較低且能重複使用，故能大幅降低整體製程成本。

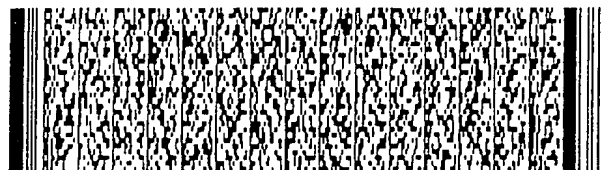
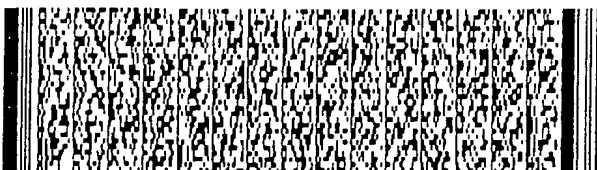
第 3 圖顯示上述導電墊片 3 的另一實例；如圖所示，利用接置於晶圓 1 上的導電墊片 3 可令晶片 10 上鐳墊 13 藉重配 (redistribute) 技術改變或放大其間距 (pitch) d。詳言



五、發明說明 (9)

之，當晶片 10 上鐳墊 13 安排或佈設密度高 (即間距 d 小) 時，往往需亦使用與其對應之間距小的測試探針 (未圖示) 以進行晶圓測試；惟此種間距小的測試探針 (目前極限為約 30mm) 之製造成本極高，實不符經濟成本的考量；此時若利用一面具有測試墊 33 而另一面植有測試凸塊 34 的導電墊片 3，由於測試墊 33 藉導電跡線 38 及導電貫孔 36 與測試凸塊 34 電性連接，故可藉導電跡線 38 及導電貫孔 36 進行重配技術而改變或放大測試墊 33 間的間距 D ，俾令測試探針能較輕易地且精確地辨識及觸接該測試墊 33 以進行晶圓測試，而不受限於測試探針的間距限制，且無成本過高的考量。

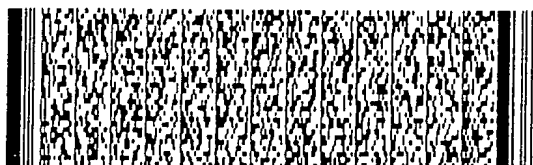
上述利用導電墊片 3 進行重配技術以改變鐳墊 13 間的間距，亦可適用於將一具有陣列式 (array) 鐳墊 13 的晶片 10'，以測試周邊 (peripheral) 鐳墊用的測試探針 (未圖示) 進行測試，如第 4 圖所示；抑或，將一具有周邊鐳墊 13 的晶片 10''，以測試陣列式鐳墊的測試探針 (未圖示) 進行測試，如第 5 圖所示。如第 4 圖所示，導電墊片 3 之第二表面 32 上的測試凸塊 34 係對應於晶片 10' 上的陣列式鐳墊 13 而與鐳墊 13 觸接，並藉對應之導電跡線 38 及導電貫孔 36 重配至佈設於導電墊片 3 第一表面 31 上周邊部位的測試墊 33，因而能利用測試周邊鐳墊用的測試探針進行測試。同理，如第 5 圖所示，晶片 10'' 上的周邊鐳墊 13 與導電墊片 3 之第二表面 32 上亦佈設於周邊部位的測試凸塊 34 觸接，而該測試凸塊 34 藉對應之導電跡線 38 及導電貫孔 36 重配至導



五、發明說明 (10)

電墊片 3 第一表面 31 上呈陣列式排設置的測試墊 33，而能利用測試陣列式鐸墊的測試探針進行測試。

上述實施例僅為例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神與範疇下，對上述實施例進行修飾與變化。因此，本發明之權利保護，應如後述之申請專利範圍所列。



圖式簡單說明

【圖式簡單說明】

為讓本發明之上述及其他目的、特徵以及優點能更明顯易懂，將與較佳實施例，並配合所附圖示，詳細說明本發明之實施例，所附圖示之內容簡述如下：

第 1A 至 1D 圖係本發明之晶圓測試方法之步驟示意圖；

第 2A 至 2D 圖係用於本發明之晶圓測試方法之導電墊片的製程步驟示意圖；

第 3 圖係用於本發明之導電墊片另一實例的剖視圖；

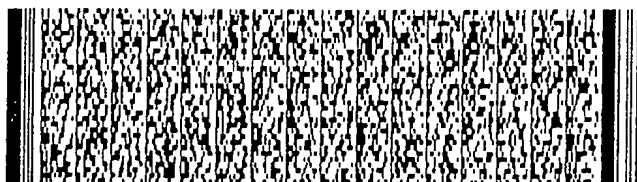
第 4 圖係用於本發明之導電墊片又一實例的剖視圖；

第 5 圖係用於本發明之導電墊片再一實例的剖視圖；

以及

第 6A 至 6C 圖係顯示利用習知晶圓測試方法之示意圖。

1	晶圓
10、10'、10''	晶片
11	作用表面
12	非作用表面
13	鐳墊
14	凸塊
15	凸塊底部金屬化 (UBM) 結構
2	測試探針
3	導電墊片
30	墊片單元
31	第一表面



圖式簡單說明

32	第二表面
33	測試墊
34	測試凸塊
35	芯層
350	第一表面
351	第二表面
36	開孔(導電貫孔)
37	銅層
38	導電跡線
39	拒鍍劑
390	開口
4	支撐架
d、D	間距



六、申請專利範圍

1. 一種晶圓測試方法，包括下列步驟：

提供一晶圓，由多數晶片構成，各該晶片具有一作用表面及一相對之非作用表面，且該作用表面上形成有多數鐳墊；

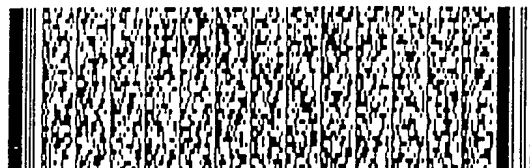
製備一導電墊片，該導電墊片具有一第一表面及一相對之第二表面，其中，該第一表面上形成有多數測試墊，而該第二表面上形成有多數與該測試墊電性連接之測試凸塊，且該測試凸塊與該晶片上之鐳墊相對應，以使該導電墊片藉其測試凸塊與鐳墊觸接的方式接置於該晶圓上並與該晶片成電性連接關係；以及

使測試探針與該導電墊片之測試墊觸接的方式進行對該晶圓之晶片的電性測試。

2. 如申請專利範圍第1項之晶圓測試方法，其中，該導電墊片由多數分別對應至各該晶片之墊片單元構成。

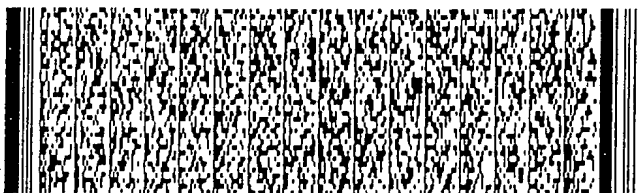
3. 如申請專利範圍第1項之晶圓測試方法，其中，該導電墊片之邊緣由一支撐架支持，而使該支撐架與該晶圓觸接以定位該導電墊片於該晶圓上。

4. 如申請專利範圍第1項之晶圓測試方法，其中，該導電墊片包括一芯層及多數分別形成於該芯層之第一表面與第二表面上的導電跡線，該芯層開設有多數貫穿其中之導電貫孔以電性連接其第一表面與第二表面上的導電跡線，而該芯層之第一表面對應該導電墊片之第一表面，該芯層之第二表面則對應該導電墊片之第二表面。



六、申請專利範圍

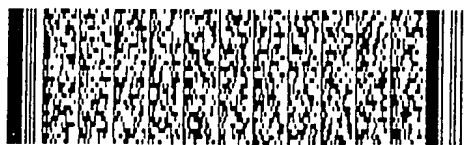
5. 如申請專利範圍第4項之晶圓測試方法，其中，該芯層係一薄膜。
6. 如申請專利範圍第4項之晶圓測試方法，其中，該芯層係一以有機材料製成之基板。
7. 如申請專利範圍第6項之晶圓測試方法，其中，該有機材料選自環氧樹脂(epoxy resin)、聚醯亞胺(polyimide)樹脂、BT(bismaleimide triazine)樹脂及FR4樹脂組成之組群。
8. 如申請專利範圍第4項之晶圓測試方法，其中，該導電跡線係以銅製成。
9. 如申請專利範圍第4項之晶圓測試方法，其中，該導電貫孔係貫穿該芯層且鍍有銅之開孔而形成者。
10. 如申請專利範圍第4項之晶圓測試方法，其中，該芯層之第一表面上敷設有拒錒劑，該拒錒劑開設有多數開口以露出該導電跡線之預定部位而形成該多數測試墊。
11. 如申請專利範圍第4項之晶圓測試方法，其中，該芯層之第二表面上敷設有拒錒劑，該拒錒劑開設有多數開口以露出該導電跡線之預定部位，而使該多數測試凸塊分別行形成於該導電跡線之露出部位。
12. 如申請專利範圍第10或11項之晶圓測試方法，其中，該測試凸塊係藉對應之導電跡線與導電貫孔與該測試墊電性連接。
13. 如申請專利範圍第10或11項之晶圓測試方法，其中，



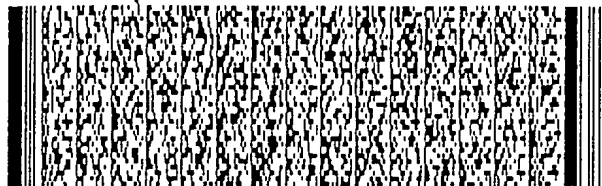
六、申請專利範圍

該測試凸塊係藉對應之導電跡線與導電貫孔電性連接並重配 (redistribute) 至該測試墊。

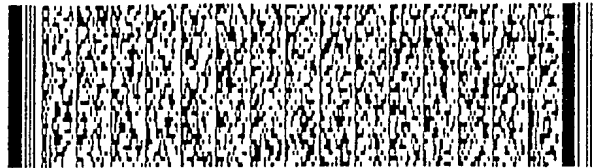
14. 如申請專利範圍第 1 項之晶圓測試方法，其中，該測試凸塊係以金製成。



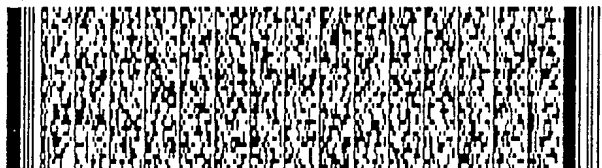
第 1/20 頁



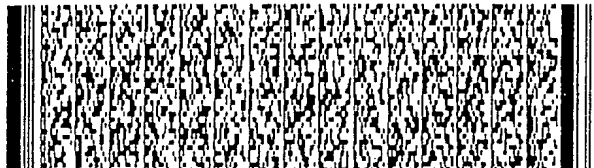
第 2/20 頁



第 2/20 頁



第 3/20 頁



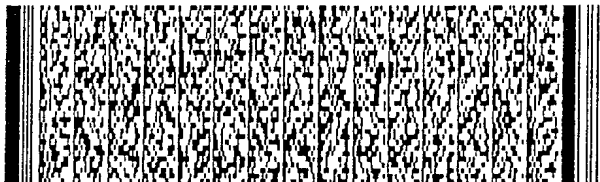
第 4/20 頁



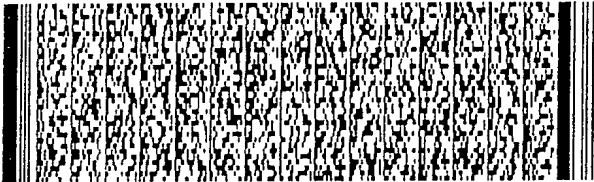
第 5/20 頁



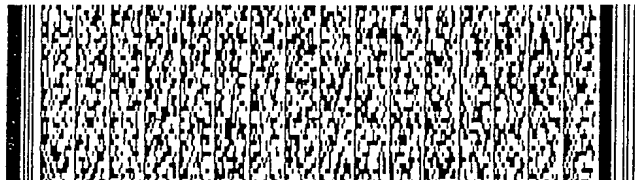
第 6/20 頁



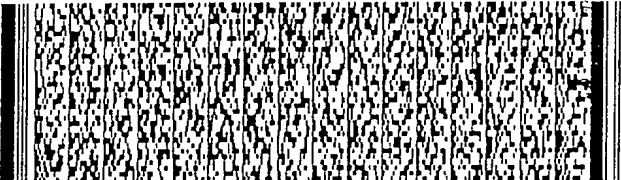
第 6/20 頁



第 7/20 頁



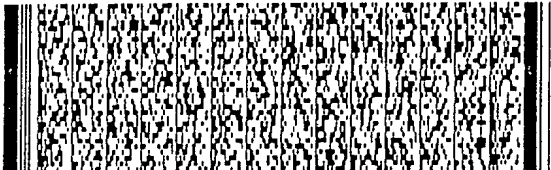
第 7/20 頁



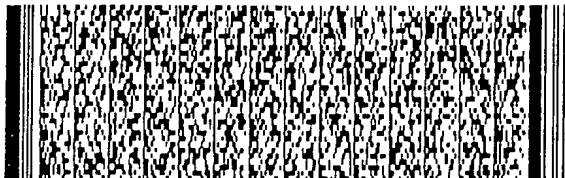
第 8/20 頁



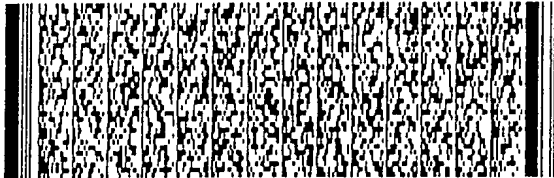
第 8/20 頁



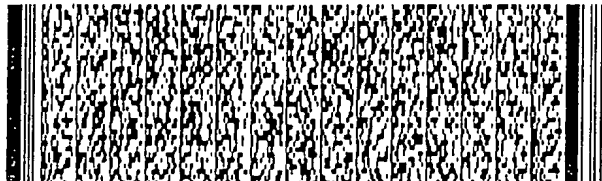
第 9/20 頁



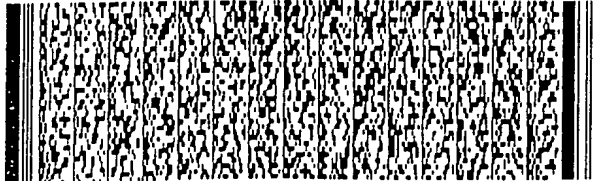
第 9/20 頁



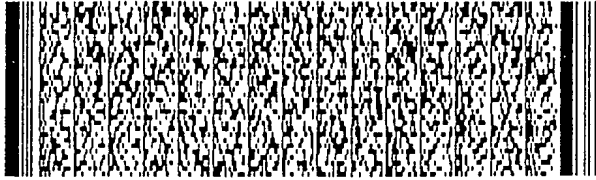
第 10/20 頁



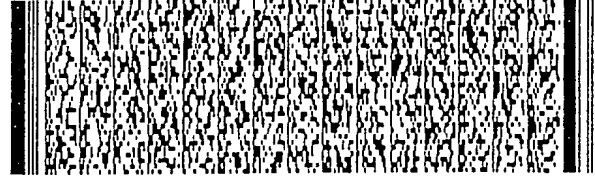
第 10/20 頁



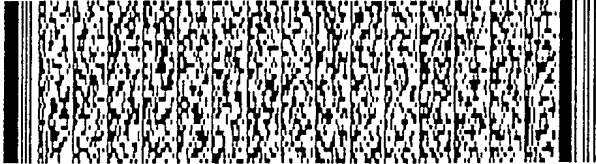
第 11/20 頁



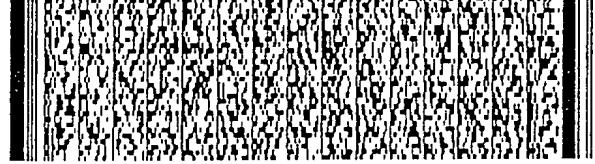
第 11/20 頁



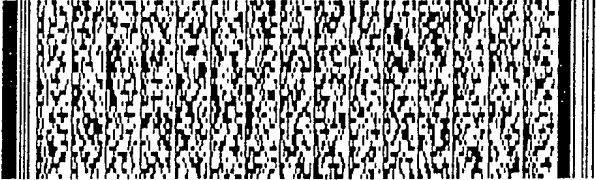
第 12/20 頁



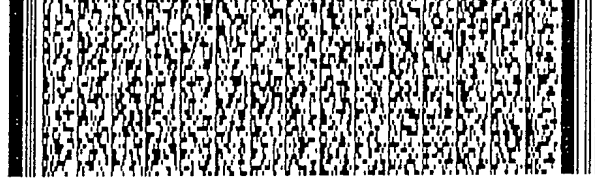
第 12/20 頁



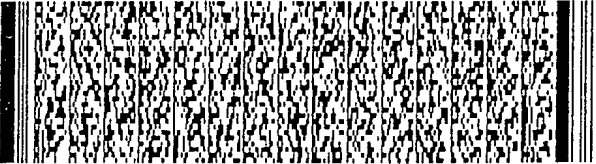
第 13/20 頁



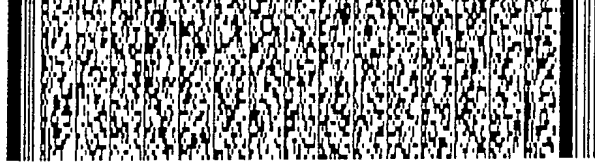
第 13/20 頁



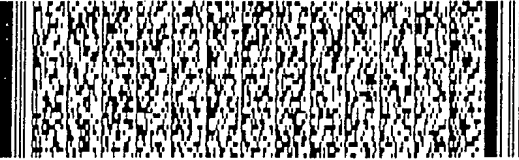
第 14/20 頁



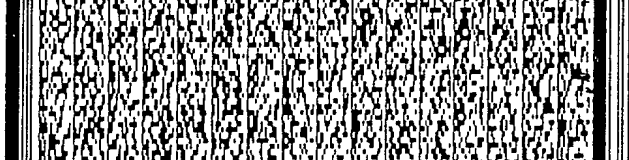
第 14/20 頁



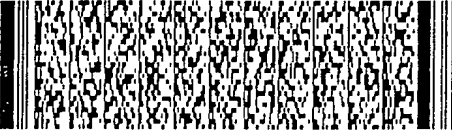
第 15/20 頁



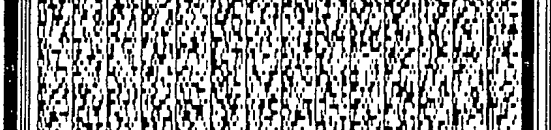
第 16/20 頁



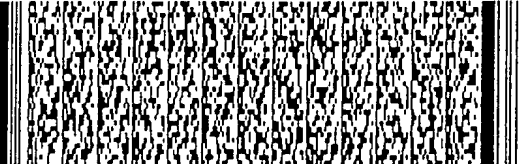
第 17/20 頁



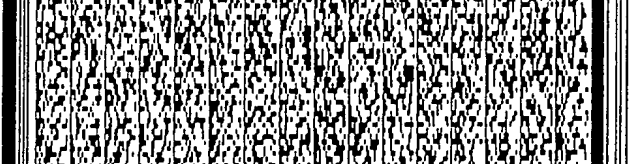
第 18/20 頁



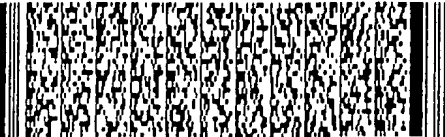
第 18/20 頁

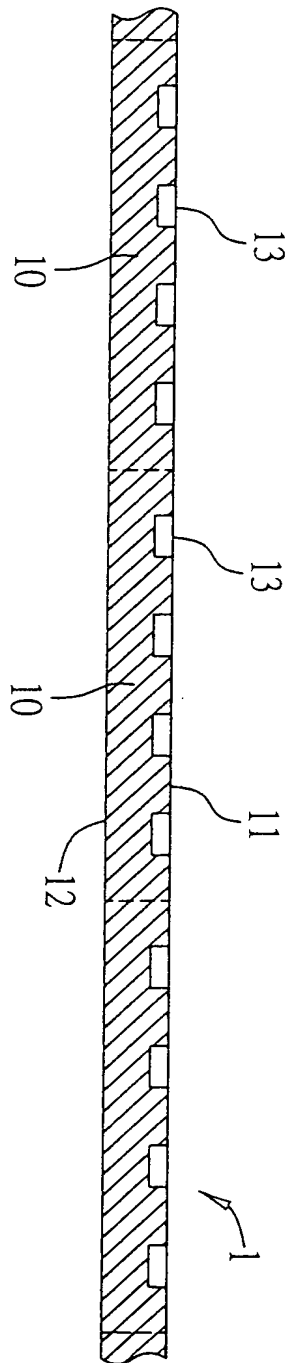


第 19/20 頁

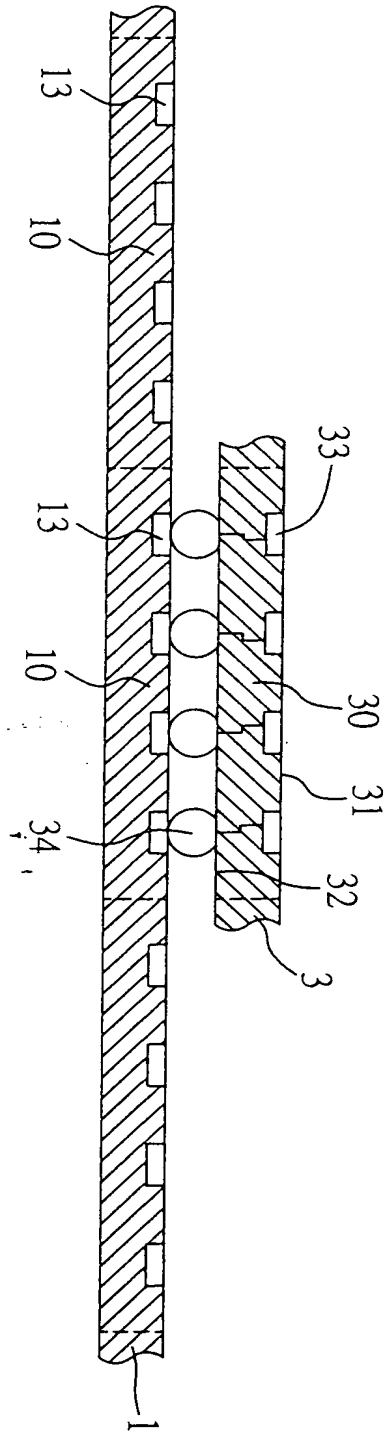


第 20/20 頁

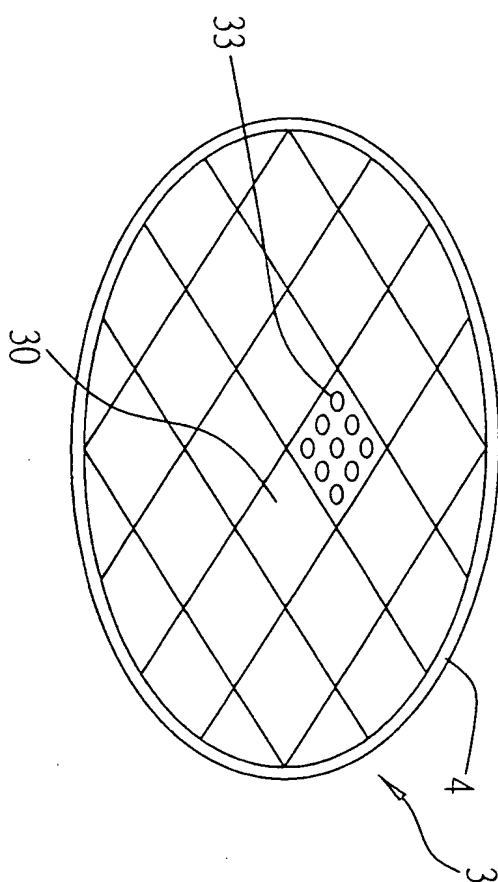




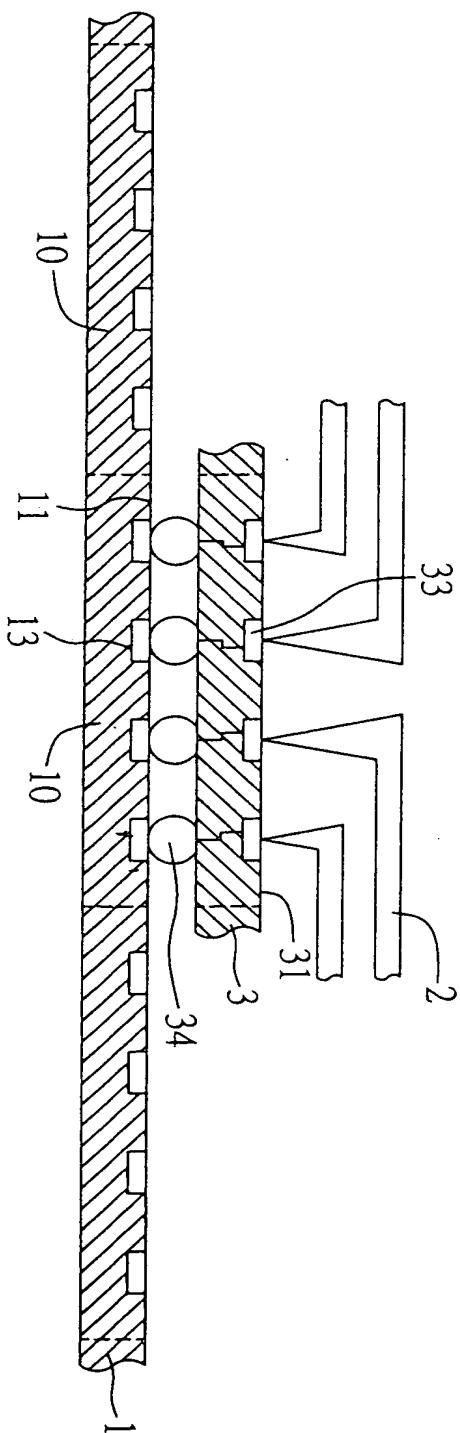
第 1A 圖



第 1B 圖

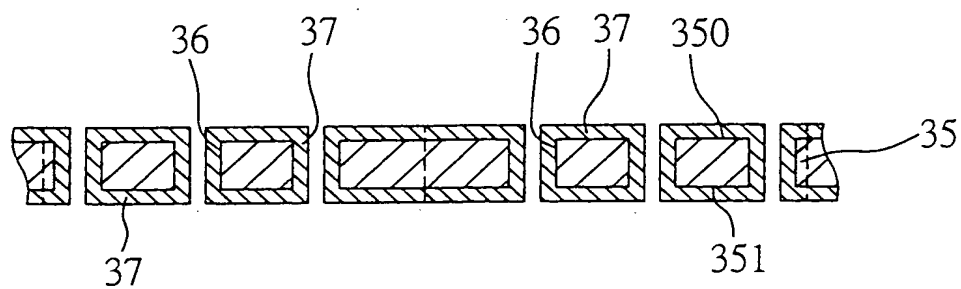


第 1C 圖

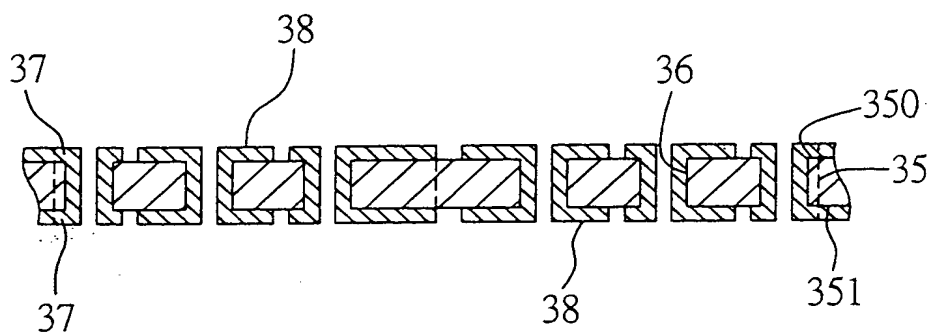


第 1D 圖

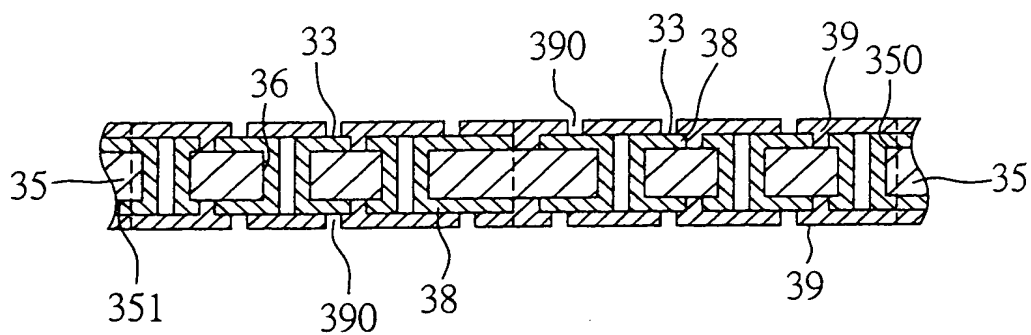
(代表圖)



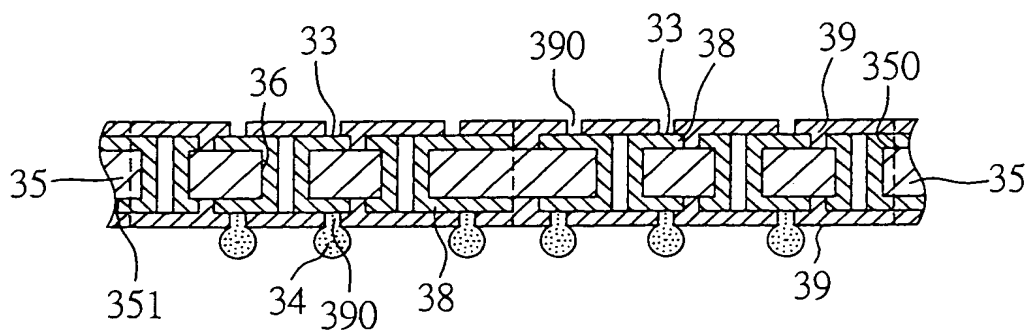
第 2A 圖



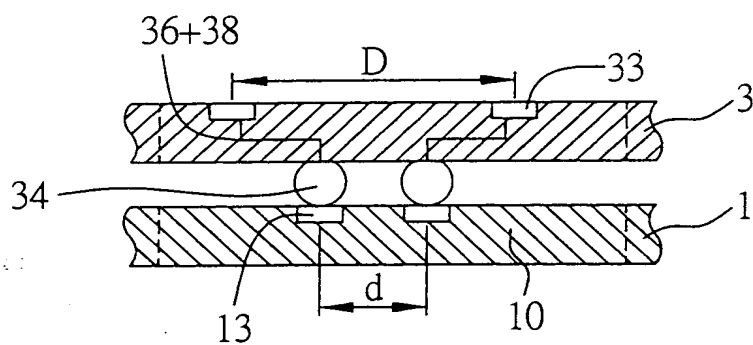
第 2B 圖



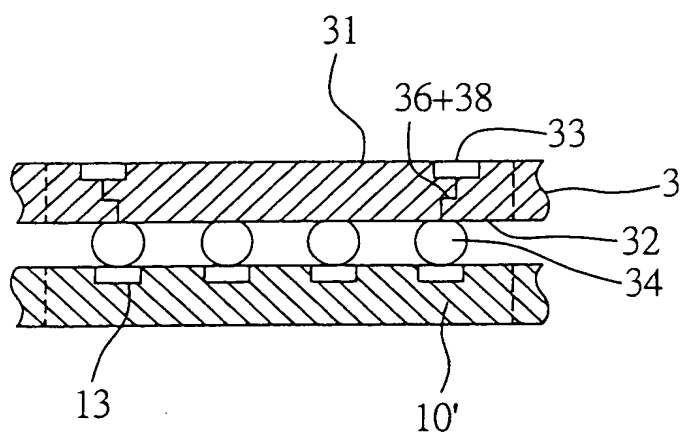
第 2C 圖



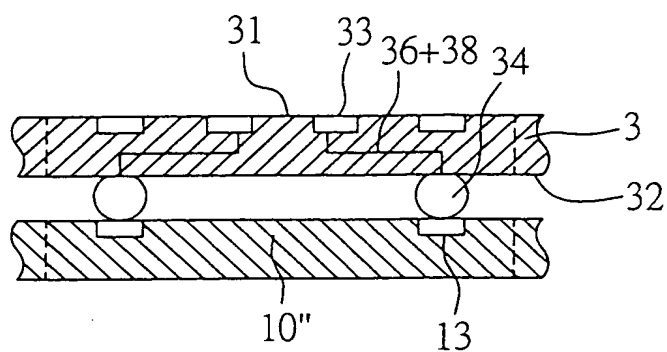
第 2D 圖



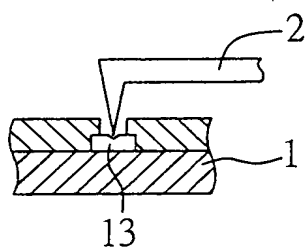
第 3 圖



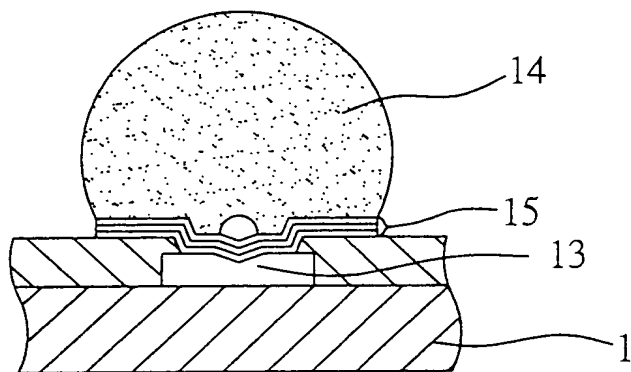
第 4 圖



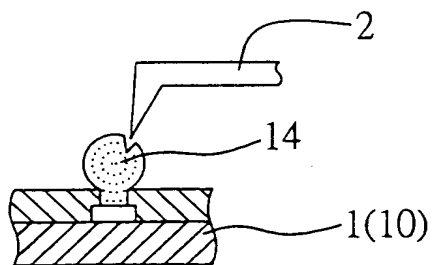
第 5 圖



第 6A 圖



第 6B 圖



第 6C 圖